

MOS 电流模逻辑加法器结构设计

梁 蓓^{1,2}, 马 奎^{1,2}, 傅兴华^{1,2}

(1 贵州大学 电子科学系, 贵州 贵阳 550025; 2 贵州大学 微纳电子技术重点实验室, 贵州 贵阳 550025)

摘 要: 为克服传统静态 CMOS 电路在高频工作时的缺陷, 引入了 MOS 电流模逻辑(MOS Current Mode Logic, MCML)电路. MCML 电路是一种差分对称结构逻辑电路, 与传统的 CMOS 电路比较, 在高频段工作时功耗相对较低, 具有典型的高速低功耗特性. 在对 MCML 电路的开关条件以及具有不同输入端的 MCML 逻辑门电路进行分析后, 提出了实现 MCML 加法器的两种电路结构, 并给出了不同结构的应用条件. 仿真结果验证了电路结构设计的有效性.

关键词: MCML; 高速低功耗电路; 加法器结构; 差分逻辑电路

中图分类号: TN403

文献标识码: A

文章编号: 1000-7180(2013)02-0060-05

The Structure Design of MOS Current Mode Logic Adder

LIANG Bei^{1,2}, MA Kui^{1,2}, FU Xing-hua^{1,2}

(1 Electronics Department, Guizhou University, Guiyang 550025, China; 2 Key Laboratory of Micro-Nano Electronics in Guizhou Province, Guiyang 550025, China)

Abstract: In order to overcome the defect of conventional static CMOS circuits at high frequency, MOS current mode logic circuits were introduced. MOS current mode logic is a kind of differential symmetric logic circuits. Its power consumption is relatively low at high frequency compared to conventional CMOS logic, and it has typical high speed and low power character. MOS current mode logic circuits with different input terminal were analyzed, then two circuit structures were proposed to realize MOS current mode logic full adder and the application were given for different circuit structure. The simulation results verify the effectiveness of circuit structure.

Key words: MOS current mode logic; high speed low power circuit; structure of adder; differential logic circuits

1 引言

目前, 传统的静态 CMOS 电路因其较大的逻辑输出摆幅及较高的功耗, 在高频应用领域受到一定限制. 具有差分对称结构的 MOS 电流模逻辑(MOS Current Mode Logic, MCML), 因其有别于传统静态 CMOS 电路的独特结构, 一方面可使电路功耗几乎与他的工作频率无关, 在高频段时功耗比传统 CMOS 电路低; 另一方面还可使电路的逻辑输出摆幅较低, 开关转换速度较高. 因此, 在高频段应用领域, MCML 逻辑电路不失为一种较好的选择. 另外, MCML 电路的差分对称结构也使它对环境噪声(串

扰噪声、电源/接地噪声)具有极强的抗干扰性^[1-2]. 由于加法器是高速数据通路中的关键模块, 其工作速度及功耗将对整体电路有较大的影响^[3]. 文中提出两种不同的 MCML 全加器结构, 可分别应用于不同的指标要求.

2 MCML 反相器

MCML 反相器结构如图 1 所示. 晶体管 Q_1 、 Q_2 组成差分对结构, 尾部晶体管 Q_3 工作在饱和区, 为 MCML 反相器提供稳定的开关电流 I_{ss} ^[4-6].

当 V_{IN1} 端输入高电平, V_{IN2} 输入低电平时, 晶体管 Q_1 导通, Q_2 支路电流趋于零, 尾部电流 I_{ss} 全部

用线性 RC 延迟模型^[7]对 MCML 逻辑门的延迟特性作进一步分析. 为简化电路分析, 突出电路特性, 设 PMOS 负载的有效电阻为 R , 单位电容为 NMOS 管的 2 倍. 考虑最坏情况下电路的延迟, 其 RC 延迟模型如图 4 所示.

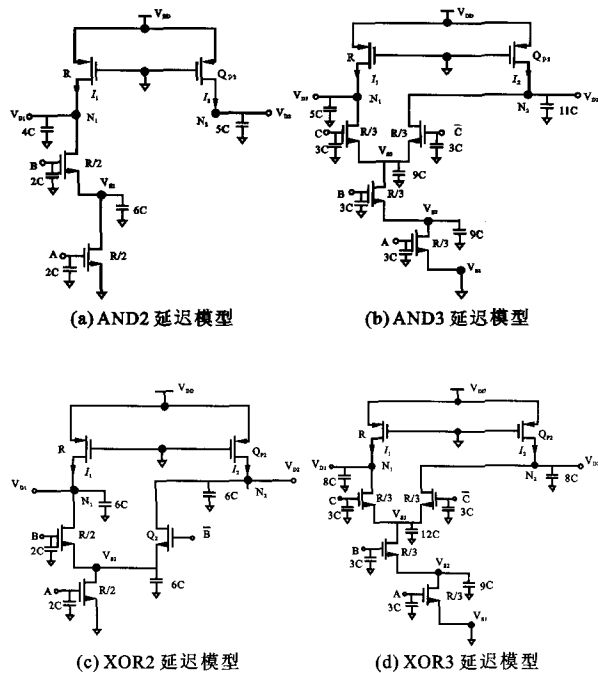
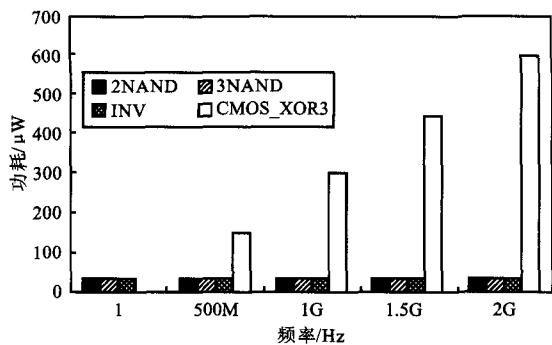


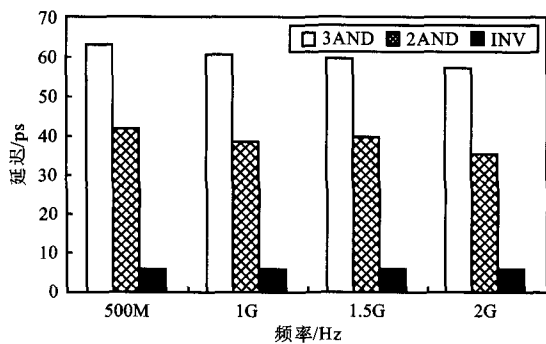
图 4 MCML 门电路的 RC 延迟模型

当电路的扇出为 1 时, 由图 4 的 RC 延迟模型估算得到 AND2 电路的最大延迟为 11τ , AND3 电路的最大延迟为 25τ , XOR2 电路的最大延迟为 15τ , XOR3 电路的最大延迟为 27τ , 其中 $\tau = RC$ 为标准单位延迟, R 为 NMOS 单位晶体管具有的有效电阻, C 为单位电容. 显然, 三层堆叠电路比两层堆叠电路的延迟大.

在保持电源电压和尾部电流源电流不变的条件下, 分别对 MCML 反相器、AND2/AND3、XOR2/XOR3 以及 CMOSXOR3 电路进行仿真, 得到其功耗及延迟与频率的关系如图 5 所示.



(a) MCML 门电路功耗—频率关系



(b) MCML 门电路延迟—频率关系

图 5 不同堆叠层数 MCML 门的电路仿真

仿真结果表明 MCML 电路的功耗与堆叠层数和频率无关, 只与尾部电流 I_{cs} 和电源电压 V_{DD} 有关; 电路的延迟与堆叠层数有关, 堆叠层数越多延迟越大. 若考虑电路设计的复杂度, 显然三层堆叠电路设计复杂度比两层堆叠电路大.

4 MCML 全加器结构设计

全加器是构成多位加法器的基本单元电路, 其逻辑式为:

$$S_i = A_i \oplus B_i \oplus C_{i-1} \quad (5)$$

$$C_i = A_i B_i + C_{i-1} (A_i \oplus B_i) \quad (6)$$

由式(5)、(6)可知, 全加器的设计可直接使用三层堆叠电路实现, 电路如图 6 所示.

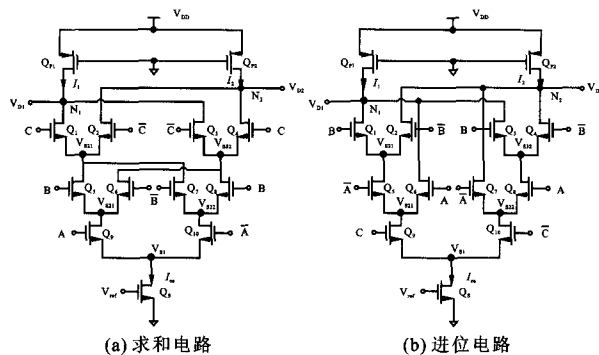


图 6 三层堆叠电路全加器

由于图 6(b)中的进位电路使用了非对称结构, 为了尽量使电路负载均衡, 在设计第二层晶体管尺寸时, 应充分考虑整体电路的对称匹配问题. 本文基于 SMIC0.13 μm CMOS 工艺进行设计与仿真, 取晶体管 Q_6 和 Q_7 的栅宽尺寸分别是 Q_5 和 Q_8 栅宽尺寸的两倍. 在信号传播最差情况下: 即 A、B 端输入固定逻辑信号 $A=1$, $B=0$ 、进位信号接入求和/进位电路的第一级时, 对所设计的求和及进位电路进行仿真, 在频率为 1GHz 时的传输波形如图 7 所示. 所设计的全加器电路的功耗为 78.84 μW .

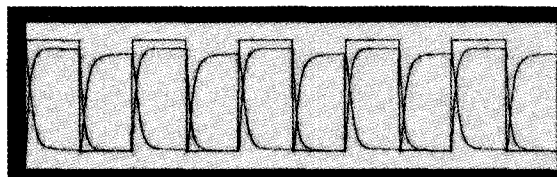
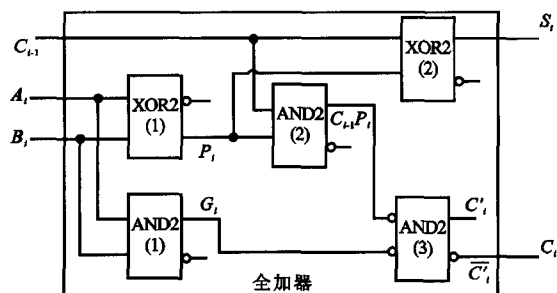
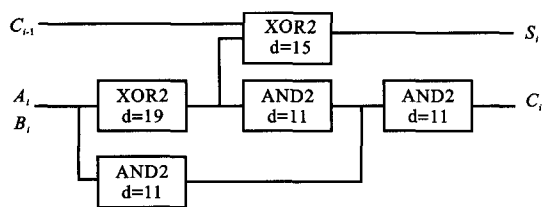


图7 三层堆叠电路全加器传输波形

仿真结果显示,求和及进位电路的输出压摆率较低,输出幅值较小,若由它构成多位加法器^[8-9],则在多级直接级联时容易造成逻辑错误。为提高输出压摆率,可考虑用瞬态响应较好的两层堆叠电路进行多级连接来实现全加器功能,电路拓扑结构如图8(a)所示。由于MCML电路的输入及输出具有对称性,相同的电路只需改变输入(或输出)端连接方式,即可实现多种逻辑功能。应用该特性可极大简化电路设计及工艺实现的复杂度,图8中AND2(3)模块即使用了该特性。



(a) 二层堆叠电路级联全加器拓扑图



(b) 二层堆叠电路级联全加器延迟

图8 XOR2及AND2 MCML构成全加器拓扑图

对图8(a)拓扑采用RC延迟分析,得到各模块的延迟如图8(b)所示。显然进位 C_i 的路径最长、延迟最大,是电路设计中的关键路径,其延迟为 $D_C = 41\tau$,其次是 S_i ,其延迟为 $D_S = 34\tau$ 。所以,在本设计中全加器完成一次运算,最低延迟需要41个标准延迟单位。

对文中设计的两层堆叠全加器电路进行仿真,其瞬态响应如图9所示。全加器的功耗为190.5 μW 。两种不同结构MCML全加器的分析如表1所示。

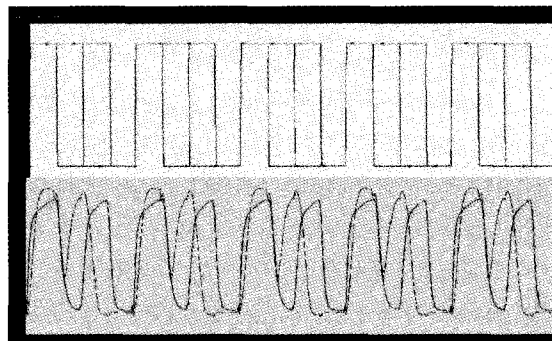


图9 二层堆叠电路级联全加器瞬态响应

表1 二层堆叠电路与三层堆叠电路的仿真结果

电路指标	二层堆叠电路	三层堆叠电路
进位输出压摆率	100%	92%
和位输出压摆率	92%	87%
进位传播延迟(ps)	109	36.6
和位传播延迟(ps)	73.2	51.2
电路功耗(μW)	190.5	78.84

仿真实验结果表明,两层堆叠电路的多级级联可以有效改善电路的压摆率,但其代价是传播延迟及功耗增大。三层堆叠电路延迟小,具有较低的功耗,但压摆率低。由于三层一方面堆叠电路设计复杂度比二层堆叠电路大,另一方面为降低电路功耗,电路一般会使用低电源电压,但三层堆叠电路要保持各层所需的工作电压,不宜使用太低的电源电压,因此在实际设计MCML加法器时,采用哪一种结构,可根据具体要求折中选择。

分别用二层堆叠电路和三层堆叠电路构成四位行波进位加法器,如图10所示。

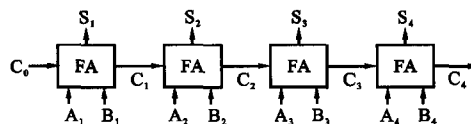


图10 四位行波进位加法器

当输入端信号 $A=“1”$, $B=“0”$, C_0 接1GHz信号时,三层堆叠电路的最高和位延迟为241.6ps,进位延迟为328.5ps,功耗为315.6 μW ;二层堆叠电路的最高和位延迟为339.6ps,进位延迟为411.4ps,功耗为783.6 μW 。电路仿真结果表明,两层堆叠电路的延迟和功耗均比三层堆叠电路大,但输出电压摆幅却得到明显改善。

还可用MCML构成超前进位加法器,与其它逻辑形式的四位加法器相比较^[10],MCML电路的进位传输延迟较CMOS电路的小。

5 结束语

文中对具有不同输入端的高速低功耗 MCML 逻辑门电路进行了分析,针对二层和三层堆叠电路的不同特点,提出了实现 MCML 全加器的两种不同结构.三层堆叠结构全加器电路简洁,延迟及功耗较小,但输出压摆率较低,在电路多级级联时易出现逻辑错误;二层堆叠结构虽有效地改善了压摆率,但功耗及延迟增大.在多位加法器的设计中,应根据性加法器的能要求确定不同的结构.

参考文献:

- [1] Hassan H, Anis M, Elmasry M. MOS current mode logic: design, optimization, and variability [C]//Proceedings of IEEE International SOC Conference. France;Paru 2004:247-250.
- [2] 桑红石,方海涛,余萌,等. 环形振荡器对称负载特性分析[J]. 微电子学与计算机,2011,28(5):197-200.
- [3] 应琦钢,郑丹丹,何乐年. 基于优化电路的高性能乘法器设计[J]. 微电子学与计算机,2011,28(4):52-56.
- [4] Allam M W, Elmasry M I. Dynamic current mode logic (DyCML): A new low-power high-performance logic style[J]. IEEE Journal of Solid-State Circuits, 2001, 36(3):550-558.
- [5] Alioto M, Palumbo G. Nanometer MCML gates: models and design considerations[C]//2006 IEEE,ISCAS, Greele; KOS, 2006: 3862-3865.
- [6] Musicer J M, Rabaey J. MOS current mode logic for low power, low noise CORDIC computation in mixed-signal environments[C]//Proceedings of the 2000 International Symposium on Low Power Electronics and Design, 2000. ISLPED '00. Italy;Rapallo, 2000: 102-107.
- [7] Neilh E Weset, David Happs. CMOS VLSI Design: a circuits and systems perspective [M]. 3rd ed. CPE, INC., 2005:111-120.
- [8] Lee Y S, Kim J B. Design of a low-power 8 x 8-bit parallel multiplier using MOS current mode logic circuit[C]//ICSICT2006. China; Shanghai, 2006.
- [9] Khabiri S, Shams M. An MCML four-bit ripple-carry adder design in 1 GHz range[C]//ISCAS 2005 IEEE. Japan; Kobe, 2005:1634-1637.
- [10] Rabaey J M, Chandrakasan A, Nikolic B K. 数字集成电路—电路系统与设计[M]. 2 版. 周润德,译. 北京:电子工业出版社,2004.

作者简介:

梁 蓓 女,(1963-),博士,副教授.研究方向为集成电路设计

马 奎 男,(1986-),博士研究生.研究方向为集成电路设计

傅兴华 男,(1948-),教授,博士生导师.研究方向为半导体器件数值模型、集成电路设计、大功率器件设计.

(上接第 59 页)

- [3] 杜亚勤,洪波,郭雷,等. 一种曲面拟合图像边缘特征提取算法[J]. 西安电子科技大学学报:自然科学版, 2011, 38(3): 164-188.
- [4] 王快妮. 鲁棒最小二乘支持向量回归机[J]. 计算机应用, 2011, 31(8): 2111-2114.
- [5] 高珏,王从庆. 基于 LS-SVM 的苹果近红外光谱回归模型的研究[J]. 计算机测量与控制, 2011, 19(1): 176-178.
- [6] 刘涵,郭勇. 基于最小二乘支持向量机的图像边缘检测研究[J]. 电子学报, 2006, 34(7): 1275-1279.
- [7] 赵雪峰,殷国富,尹湘云,等. 支持向量机和元胞自动机相结合的图像边缘检测方法[J]. 四川大学学报:工程科学版, 2011, 43(1): 137-142.
- [8] Gómez Moreno H, Maldonado Bascón S, López-Ferreras. Edge detection in noisy images using the support

vector machine [R]. International Work-Conference on Artificial Neural Networks. Heidelberg: Springer-Verlag, 2001: 685-692.

- [9] 白建军,张欣,陈其松. 基于自适应滤波的噪声图像边缘检测方法[J]. 计算机仿, 2012(3): 334-337.

作者简介:



刘卫华 女,硕士研究生.研究方向为模式识别、智能算法等.